


SEMICONDUCTOR ELEMENT, LATERAL TRIAC AND LATERAL PHOTOTRIAC

Patent Number: JP8264755
Publication date: 1996-10-11
Inventor(s): TAKAHASHI TORU
Applicant(s): SHARP CORP
Requested Patent:  JP8264755
Application Number: JP19950065870 19950324
Priority Number(s):
IPC Classification: H01L29/747; H01L29/74; H01L31/111
EC Classification:
Equivalents:

Abstract

PURPOSE: To remarkably improve communication characteristics without increasing the chip size of a lateral phototriac.

CONSTITUTION: Each of the gate regions 31 , 32 of a pair of channels CH1 , CH2 formed on the same chip is arranged outside the facing positions of the anode regions 21 , 22 of the respective channels CH1 , CH2 .

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-264755

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/747		H 0 1 L 29/747	
	29/74		29/74	E
	31/111		31/10	F

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平7-65870

(22)出願日 平成7年(1995)3月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 高橋 徹

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

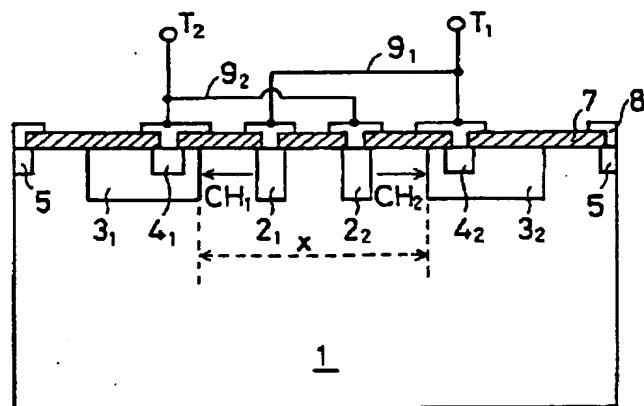
(74)代理人 弁理士 岡田 和秀

(54)【発明の名称】 半導体素子、ラテラル型トライアック、およびラテラル型フォトリアック

(57)【要約】

【目的】 ラテラル型のフォトリアックにおいて、チップ形状を大型化することなく、転流特性を大幅に改善する。

【構成】 同一チップ内に設けられている一対のチャンネルCH₁、CH₂の各ゲート領域3₁、3₂が、各チャンネルCH₁、CH₂のアノード領域2₁、2₂の対向間位置よりも外側に配置されている。



(2)

【特許請求の範囲】

【請求項1】 半導体基板の表面に少なくともアノード領域と、ゲート領域と、カソード領域とからなるチャンネルを2つ形成されてなる半導体素子において、前記両アノード領域同士が対向されて形成され、かつ、前記両ゲート領域同士は、前記両アノード領域を間にして外側に配置されて形成されていることを特徴とする半導体素子。

【請求項2】 半導体基板表面に少なくともアノード領域と、ゲート領域と、カソード領域とからなるラテラル型サイリスタを逆並列に接続して2つのチャンネルで構成されるラテラル型トリアックにおいて、前記両アノード領域同士が対向されて配置され、かつ、前記両ゲート領域同士は、前記両アノード領域を間にして外側に配置されて形成されていることを特徴とするラテラル型トリアック。

【請求項3】 半導体基板表面に少なくともアノード領域と、ゲート領域と、カソード領域とからなるラテラル型フォトサイリスタを逆並列に接続して2つのチャンネルで構成されるラテラル型フォトリックにおいて、前記両アノード領域同士が対向されて配置され、かつ、前記両ゲート領域同士は、前記両アノード領域を間にして外側に配置されて形成されていることを特徴とするラテラル型フォトリック。

【請求項4】 半導体基板表面に不純物拡散によってアノード領域、ゲート領域と、ゲート抵抗が形成され、このゲート領域内に他の不純物拡散によってカソード領域が形成されるとともに、半導体基板、アノード領域、ゲート領域によってPNP型トランジスタが、半導体基板、ゲート領域、カソード領域によってNPN型トランジスタが構成されてなるラテラル型フォトサイリスタを逆並列に接続して2つのチャンネルで構成されるラテラル型フォトリックにおいて、前記半導体基板内で前記両チャンネルそれぞれのアノード領域同士が対向されて形成され、かつ、前記両チャンネルそれぞれのゲート領域同士は、前記両アノード領域を間にして外側に配置されて形成されていることを特徴とするラテラル型フォトリック。

【請求項5】 前記両ゲート領域同士の対向距離が転流特性に応じて所定距離に設定されていることを特徴とする請求項3または4に記載のラテラル型フォトリック。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体基板の表面に少なくともアノード領域と、ゲート領域と、カソード領域とからなるチャンネルを2つ形成してなる半導体素子に関する。

【0002】

2

【従来の技術】この種の半導体素子の一例として、フォトリックの回路図を図4に示す。

【0003】同図において、 T_1 、 T_2 は外部接続端子、 CH_1 は第1チャンネル、 CH_2 は第2チャンネルである。

【0004】第1チャンネル CH_1 は、PNP型トランジスタ Q_{11} 、NPN型トランジスタ Q_{12} 、ゲート端子 G_1 、およびゲート抵抗 R_1 からなる。同様に、第2チャンネル CH_2 は、PNP型トランジスタ Q_{21} 、NPN型トランジスタ Q_{22} 、ゲート端子 G_2 、およびゲート抵抗 R_2 からなる。

【0005】ここで、第1チャンネル CH_1 が動作するときには、一方の外部接続端子 T_1 はアノードになり、他方の外部接続端子 T_2 はカソードとなる。逆に、第2チャンネル CH_2 が動作するときには、一方の外部接続端子 T_1 はカソードになり、他方の外部接続端子 T_2 はアノードとなる。そして、各チャンネル CH_1 、 CH_2 のゲート端子 G_1 、 G_2 には、光信号が入力されるようになっている。

【0006】外部接続端子 T_1 、 T_2 には交流電圧が印加されるが、ある時相において、たとえば、いま一方の外部接続端子 T_1 に正極、他方の外部接続端子 T_2 には負極の電圧が印加されたものとする。

【0007】すると、一方の外部接続端子 T_1 はアノード、他方の外部接続端子 T_2 はカソードとなり、第1チャンネル CH_1 のPNP型トランジスタ Q_{11} のベース・エミッタ間には順方向電圧が加わるが、NPN型トランジスタ Q_{12} のコレクタ・ベース間には逆バイアスの電圧が加わるため、このトランジスタ Q_{12} は動作しない。

【0008】そこで、このとき、ゲート端子 G_1 に光信号が入力されると、NPN型トランジスタ Q_{12} のベースに電流が流れてこのトランジスタ Q_{12} がオンし、その結果、PNP型トランジスタ Q_{11} のベースにも電流が流れてこのトランジスタ Q_{11} がオンする。すると、このPNP型トランジスタ Q_{11} のコレクタ電流がNPN型トランジスタ Q_{12} のベース電流として流れ込むため、このトランジスタ Q_{12} が確実にオンし、第1チャンネル CH_1 が動作状態となる。

【0009】この現象は、第2チャンネル CH_2 の動作についても同様である。

【0010】図5および図6は、図4の回路を半導体基板の片面上に形成したフォトリック（特に、非ゼロクロス型のもの）の具体的な構成を示したものであり、図5は平面図、図6は図5のA-A線に沿う断面図である。

【0011】シリコンのN型基板1の表面には、ボロンを不純物として拡散することにより、それぞれ一対のアノード領域 2_1 、 2_2 、P型のゲート領域 3_1 、 3_2 、および抵抗領域 6_1 、 6_2 が形成されている。また、各ゲート領域 3_1 、 3_2 の内部には、リンを不純物として拡散する

(3)

3

ことにより、カソード領域4₁、4₂が形成されている。また、チップの周辺には、チャンネルストップとしてN型拡散領域5が形成されている。

【0012】7はシリコン酸化膜、8はアルミ電極、9₁、9₂はアルミなどでできたメタル配線である。なお、図5の平面図では図面を簡潔にするためメタル配線を省略して示している。

【0013】ここで、図5および図6の右側にあるアノード領域2₁、N型基板1、およびゲート領域3₁によって、図4の第1チャンネルCH₁のPNP型トランジスタQ₁₁が、N型基板1、ゲート領域3₁、およびカソード領域4₁によって、図4の第1チャンネルCH₁のNP
N型トランジスタQ₁₂がそれぞれ構成される。同様に、
図中左側にあるアノード領域2₂、N型基板1、および
ゲート領域3₂によって、図4の第2チャンネルCH₂の
PNP型トランジスタQ₂₁が、N型基板1、ゲート領域
3₂、およびカソード領域4₂によって、図4の第2チャ
ンネルCH₂のNP
N型トランジスタQ₂₂がそれぞれ構成される。また、各ゲート領域3₁、3₂が図4のゲート
端子G₁、G₂に、抵抗領域6₁、6₂が図4のゲート抵抗
R₁、R₂にそれぞれ相当する。

【0014】そして、図4に示した回路図の通りに、各
部がメタル配線9₁、9₂で互いに接続されている。

【0015】たとえば、第1チャンネルCH₁に着目す
ると、PNPトランジスタQ₁₁のエミッタ側がメタル配
線9₁を介して一方の外部接続端子T₁に接続されてい
る。また、NP
NトランジスタQ₁₂のエミッタ側がメタル配線9₂を介して他方の外部接続端子T₂に接続され
るとともに、アノード領域2₂に連なる抵抗領域6₁を介
してゲート領域3₁に接続されている。

【0016】

【発明が解決しようとする課題】ところで、上記構成の
ラテラル型のフォトトライアックにおいては、第1、第
2の各チャンネルCH₁、CH₂のゲート領域3₁、3₂が
所定の間隔xを存して直接に対向配置された構造である
ので、双方の干渉によって転流特性が悪いという問題が
ある。

【0017】すなわち、いま、交流の半サイクルで、一
方の外部接続端子T₁に正極、他方の外部接続端子T₂に
は負極の電圧が印加されたとしたとき、この状態で、ゲ
ート端子G₁(ゲート領域3₁)に光信号が入力されると、
前述のごとく第1チャンネルCH₁が動作してオン状態
となる。そして、このオン状態では、正孔や電子のキャ
リアが存在する。

【0018】しかし、ゲート端子G₁(ゲート領域3₁)へ
の光信号の入射が無くなれば、第1チャンネルCH₁は
オフ状態となるので、一般には短時間の内にキャリアは
消滅するはずであるが、外部接続端子T₁、T₂に印加さ
れる電圧がある程度大きい場合には、第1チャンネルC
H₁のオン状態で存在していたキャリアが、交流の次の

4

半サイクルまで転流する間に消滅しきれなくなる。

【0019】そして、特に、従来のように各チャンネル
CH₁、CH₂のゲート領域3₁、3₂の間隔xが狭い場合
には、交流の次の半サイクルで一方の外部接続端子T₁
に負極、他方の外部接続端子T₂には正極の電圧が印加
された状態になると、この残留していたキャリアが、ゲ
ート端子G₂(ゲート領域3₂)に容易に流れ込む。その結
果、このゲート端子G₂(ゲート領域3₂)には光信号が入
射されていないにもかかわらず、第2チャンネルCH₂
が誤って動作してしまうという不都合を生じる。

【0020】そのため、図5および図6に示した従来の
フォトトライアックの構成においては、図3の白丸で示
すように、小さな電圧値(したがって小さな電流値)でも
残留したキャリアによって他方のチャンネルがオン状態
になって電流が流れ、転流特性が悪い結果となってい
た。

【0021】各チャンネルCH₁、CH₂のゲート領域3
1、3₂へのキャリアの相互の流れ込みを防止するには、
両ゲート領域3₁、3₂間の距離xを広げればよいが、単
に間隔xを広げただけでは、フォトトライアック全体の
チップ形状が大きくなってしまい、チップの小型化を図
る上で得策でない。

【0022】本発明は、上記の問題点を解決するため
になされたもので、チップ形状を大型化することなく、転
流特性を大幅に改善することを課題とする。

【0023】

【課題を解決するための手段】本発明は、上記の課題を
解決するため、次の構成を採る。

【0024】すなわち、請求項1記載の発明では、半導
体基板表面に少なくともアノード領域と、ゲート領域
と、カソード領域とからなるチャンネルを2つ形成され
てなる半導体素子において、両アノード領域同士が対向
されて形成され、かつ、前記両ゲート領域同士は、前記
両アノード領域を間にして外側に配置されて形成されて
いる。

【0025】請求項2記載の発明では、半導体基板表面
に少なくともアノード領域と、ゲート領域と、カソード
領域とからなるラテラル型サイリスタを逆並列に接続し
て2つのチャンネルで構成されるラテラル型トライアッ
クにおいて、両アノード領域同士が対向されて配置さ
れ、かつ、前記両ゲート領域同士は、前記両アノード領
域を間にして外側に配置されて形成されている。

【0026】請求項3記載の発明では、半導体基板表面
に少なくともアノード領域と、ゲート領域と、カソード
領域とからなるラテラル型フォトサイリスタを逆並列に
接続して2つのチャンネルで構成されるラテラル型フォ
トトライアックにおいて、前記両アノード領域同士が対
向されて配置され、かつ、前記両ゲート領域同士は、前
記両アノード領域を間にして外側に配置されて形成され
ている。

(4)

5

【0027】請求項4記載の発明では、半導体基板表面に不純物拡散によってアノード領域、ゲート領域と、ゲート抵抗が形成され、このゲート領域内に他の不純物拡散によってカソード領域が形成されるとともに、半導体基板、アノード領域、ゲート領域によってPNP型トランジスタが、半導体基板、ゲート領域、カソード領域によってNPN型トランジスタが構成されてなるラテラル型フォトサイリスタを逆並列に接続して2つのチャンネルで構成されるラテラル型フォトライアックにおいて、前記半導体基板内で前記両チャンネルそれぞれのアノード領域同士が対向されて形成され、かつ、前記両チャンネルそれぞれのゲート領域同士は、前記両アノード領域を間にして外側に配置されて形成されている。

【0028】請求項5記載の発明では、請求項3または4に記載のラテラル型フォトライアックにおいて、両ゲート領域同士の対向距離が転流特性に応じて所定距離に設定されている。

【0029】

【作用】上記構成において、パターンレイアウトを変更することにより、両チャンネルのゲート領域の間隔を広げることができる。しかも、ゲート領域の間にアノード領域が位置することから、一方のチャンネルの動作で残留していたキャリアが逆チャンネル側のゲート領域に流れ込み難くなる。このため、誤動作が防止されて転流特性が大幅に改善される。

【0030】

【実施例】図1は本発明の実施例に係るラテラル型のフォトライアック(特に非ゼロクロス型のもの)を半導体基板上に形成した場合の平面図、図2は図1のA-A線に沿う断面図であり、図5および図6に示した従来例に対応する部分には同一の符号を付す。

【0031】図1および図2において、1はシリコンのN型基板、2₁、2₂はフォトライアックのアノード領域、3₁、3₂はP型のゲート領域、4₁、4₂は各ゲート領域3₁、3₂の内部に形成されたカソード領域、6₁、6₂は抵抗領域、5はチップの周辺にチャンネルストップとして形成されたN型拡散領域、7はシリコン酸化膜、8はアルミ電極、9₁、9₂はアルミなどの金属配線であり、これらは、図5および図6の構成にそれぞれ対応している。なお、図1の平面図では金属配線を省略して示している。

【0032】この実施例の特徴は、図4に示した回路図の構成は何ら変更することなく、従来のパターンレイアウトのみを変更した点にある。

【0033】すなわち、本例では、一対のチャンネルCH₁、CH₂の各ゲート領域3₁、3₂が、各チャンネルCH₁、CH₂のアノード領域2₁、2₂の対向間位置よりも外側にくるように配置されている。

【0034】この場合も、図1および図2の左側にあるアノード領域2₁、N型基板1、およびゲート領域3₁に

6

よって、図4の第1チャンネルCH₁のPNP型トランジスタQ₁₁が、N型基板1、ゲート領域3₁、およびカソード領域4₁によって、図4の第1チャンネルCH₁のNPN型トランジスタQ₁₂がそれぞれ構成される。同様に、図中右側にあるアノード領域2₂、N型基板1、およびゲート領域3₂によって、図4の第2チャンネルCH₂のPNP型トランジスタQ₂₁が、N型基板1、ゲート領域3₂、およびカソード領域4₂によって、図4の第2チャンネルCH₂のNPN型トランジスタQ₂₂がそれぞれ構成される。また、各ゲート領域3₁、3₂が図4のゲート端子G₁、G₂に、抵抗領域6₁、6₂が図4のゲート抵抗R₁、R₂にそれぞれ相当する。

【0035】そして、図4に示した回路図の通りに、各部分が金属配線9₁、9₂で互いに接続される。

【0036】たとえば、第1チャンネルCH₁に着目すると、PNPトランジスタQ₁₁のエミッタ側が金属配線9₁を介して一方の外部接続端子T₁に接続されている。また、NPNトランジスタQ₁₂のエミッタ側が金属配線9₂を介して他方の外部接続端子T₂に接続されるとともに、アノード領域2₂に連なる抵抗領域6₁を介してゲート領域3₁に接続されている。

【0037】したがって、このフォトライアックの基本動作は、従来例で説明した場合と全く同じであるが、両チャンネルCH₁、CH₂の各ゲート領域3₁、3₂の内側にアノード領域2₁、2₂が位置し、これにより、ゲート領域3₁、3₂の間隔xを広げることができる。

【0038】このため、いま、交流の半サイクルで、一方の外部接続端子T₁に正極、他方の外部接続端子T₂には負極の電圧が印加された状態で、ゲート端子G₁(ゲート領域3₁)に光信号が入力されて第1チャンネルCH₁が動作すると、正孔や電子のキャリアが存在し、このキャリアが次の交流の半サイクルに転流する間に消滅しきれなくなっても、各チャンネルCH₁、CH₂のゲート領域3₁、3₂の間隔xが広いので、この残留していたキャリアは、ゲート端子G₂(ゲート領域3₂)に殆ど流れ込まずなくなる。したがって、従来のように、ゲート端子G₂には光信号が入射されていないにもかかわらず、第2チャンネルCH₂が誤って動作してしまうといったことは生じない。

【0039】また、ゲート領域3₁、3₂よりも内側にアノード領域2₁、2₂が配置されているから、第1チャンネルCH₁のゲート領域3₁の残留キャリアは、アノード領域2₁にも飛び込むことになる。この場合、このアノード領域2₁はNPN型トランジスタQ₁₂を構成していて電荷的には同じであり、このNPN型トランジスタQ₁₂で増幅されずにキャンセルされてしまう。

【0040】したがって、一方のチャンネル(ここでは第1チャンネルCH₁)のゲート領域3₁から他方のチャンネル(ここでは第2チャンネルCH₂)のゲート領域3₂に飛び込む残留キャリアはその分減少するから、ゲート

(5)

7

領域 3_1 、 3_2 間の距離 x も一層短縮できるし、また、一層他方のチャンネル CH_2 のゲート領域 3_2 に残留キャリアが流れ込まなくなり、転流特性が一層改善される。

【0041】このことは、第2チャンネル CH_2 が動作した場合にも全く同様に言えることである。

【0042】その結果、図1および図2に示すこの実施例のフォトリソの構成においては、図3の黒丸で示すように、大きな電圧値(したがって大きな電流値)を印加した場合に始めて残留したキャリアのために他方のチャンネルがオン状態になって電流が流れ、それよりも小さな電流値(たとえば従来の白丸で示す電流値)では残留したキャリアの影響はなく、他方のチャンネルはオフ状態のままで電流は流れないので、転流特性は良好となる。

【0043】すなわち、従来(図3の白丸)では、両チャンネル CH_1 、 CH_2 のゲート領域 3_1 、 3_2 の距離が $200\mu\text{m}$ で、このとき転流特性として 144mA であったのに、本発明(図3の黒丸)では、両チャンネル CH_1 、 CH_2 のゲート領域 3_1 、 3_2 の距離が $620\mu\text{m}$ にできるため、このときの転流特性は、 196mA となり、 36% の向上が図れる。

【0044】ところで、チップの耐圧を得るためには、チップ内のチャンネルストップとしてのN型拡散領域5と各ゲート領域 3_1 、 3_2 との間、アノード領域 2_1 (または 2_2)とゲート領域 3_1 (または 3_2)の間、あるいはアノード領域 2_1 、 2_2 相互間に、それぞれ一定の距離を確保する必要がある。

【0045】たとえば、N型基板1の濃度が 10^{14}cm^{-3} で、目標とする耐圧が 600V の場合、約 $80\mu\text{m}$ の空乏層が広がるので、各領域5、 3_1 、 2_1 、 2_2 、 3_2 の相互間の距離は、 $80\mu\text{m}$ 以上離す必要がある。したがって、各領域 3_1 と 2_1 、 2_1 と 2_2 、 2_2 と 3_2 の3つの間隔ごとに $80\mu\text{m}$ 必要で、さらに、残留キャリアの流れ込みがないように確実を見越した距離 $60\mu\text{m}$ とすれば、各チャンネル CH_1 、 CH_2 のゲート領域 3_1 、 3_2 間の距離を $300\mu\text{m}(=80\mu\text{m}\times 3+60\mu\text{m})$ 以上に設定しておけば、各領域5、 3_1 、 2_1 、 2_2 、 3_2 相互の耐圧を十分に確保した状態で、ゲート領域 3_1 、 3_2 の転流特性を改善し得るので都合が良い。

【0046】なお、本例では、非ゼロクロス型のフォトリソについて説明したが、ゼロクロス型のフォトリソについても、本発明を適用することができるのは勿論である。

【0047】また、フォトリソに限らず、通常

8

のフォトリソや、さらに半導体基板の表面に少なくともアノード領域と、ゲート領域と、カソード領域とからなるチャンネルを2つ形成されてなる半導体素子に本発明を広く適用できるものである。

【0048】

【発明の効果】本発明によれば、次の効果を奏する。

【0049】(1) 従来のパターンレイアウトを変更することにより、チップ形状を大型化することなく、両チャンネルのゲート領域の間隔を広げることができる。このため、一方のチャンネルの動作で残留していたキャリアが逆チャンネル側のゲート領域に流れ込み難くなって誤動作が防止され、転流特性が大幅(たとえば 36% 程度)に改善される。

【0050】(2) また、ゲート領域よりも内側にアノード領域が配置されているから、一方のチャンネルのゲート領域の残留キャリアは、そのアノード領域にも飛び込むことになる。この場合、このアノード領域はNPN型トランジスタを構成して電荷的には同じであり、このNPN型トランジスタで増幅されずにキャンセルされてしまう。

【0051】したがって、一方のチャンネルのゲート領域から他方のチャンネルのゲート領域に飛び込む残留キャリアはその分減少するから、ゲート領域間の距離も一層短縮できるし、また、一層他方のチャンネルのゲート領域に残留キャリアが流れ込まなくなり、転流特性が改善される。

【図面の簡単な説明】

【図1】本発明の実施例に係るラテラル型のフォトリソを半導体基板上に形成した場合の平面図である。

【図2】図1のA-A線に沿う断面図である。

【図3】本発明と従来例との転流特性を比較して示す特性図である。

【図4】フォトリソの回路図である。

【図5】図4の回路図で示されるラテラル型のフォトリソを半導体基板上に形成した場合の従来例の平面図である。

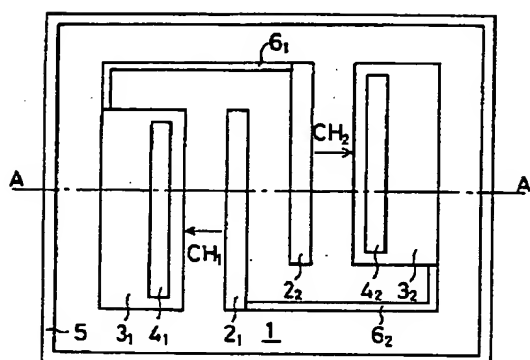
【図6】図5のA-A線に沿う断面図である。

【符号の説明】

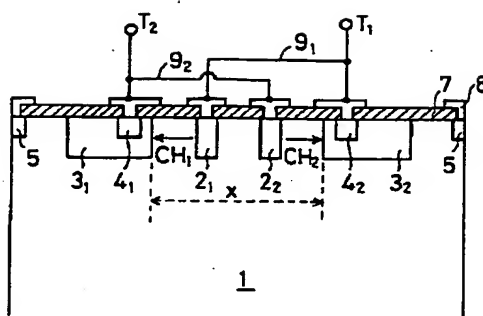
1…N型基板、 2_1 、 2_2 …アノード領域、 3_1 、 3_2 …ゲート領域、 4_1 、 4_2 …カソード領域、5…N型拡散領域、 6_1 、 6_2 …抵抗領域、7…シリコン酸化膜、8…アルミ電極、 9_1 、 9_2 …メタル配線。

(6)

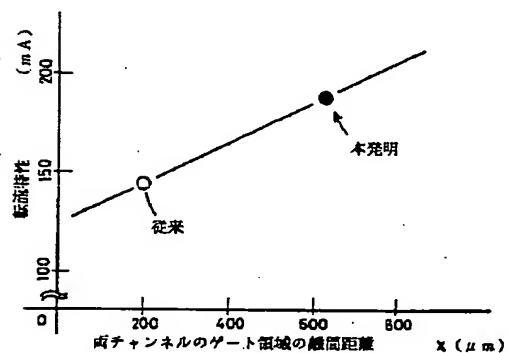
【図1】



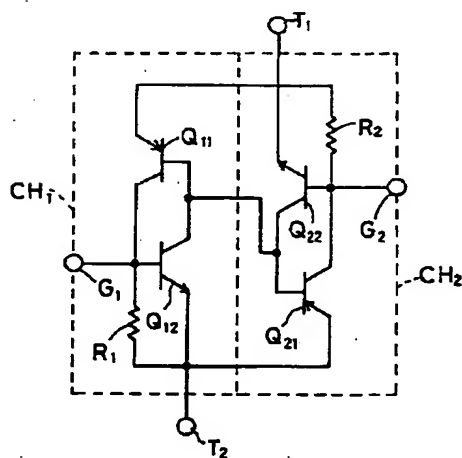
【図2】



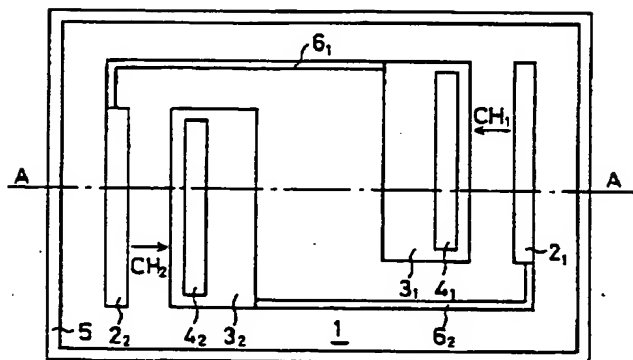
【図3】



【図4】



【図5】



【図6】

